

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-320039

(P2001-320039A)

(43) 公開日 平成13年11月16日 (2001.11.16)

(51) Int.Cl. ⁷	識別番号	F I	アブコード (参考)
H 0 1 L	27/146	H 0 4 N 5/335	E 4 M 1 1 8
	27/14		U 5 C 0 2 4
	29/786	H 0 1 L 27/14	C 5 F 0 8 8
	31/09		K 5 F 1 1 0
H 0 4 N 5/335		29/78	6 1 3 Z
審査請求 未請求 請求項の数13 O L (全 11 頁) 最終頁に続く			
(21) 出願番号	特願2000-139126 (P2000-139126)	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子 3 丁目30番 2 号
(22) 出願日	平成12年 5 月11日 (2000.5.11)	(72) 発明者	田代 和昭 東京都大田区下丸子 3 丁目30番 2 号 キヤ ノン株式会社内
		(74) 代理人	100068385 弁理士 山下 穰平

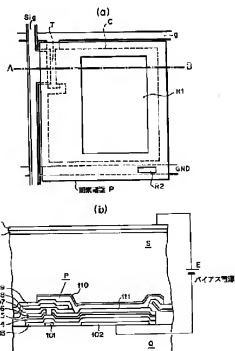
最終頁に続く

(54) 【発明の名称】 光電変換装置

(57) 【要約】

【課題】 読み出し信号のノイズの発生を防止し、容量素子が安定して駆動する光電変換装置を提供する。

【解決手段】 基板上に、少なくとも能動素子と、容量素子と、前記容量素子から蓄積されている電荷を出力する信号配線と、を配して画素を形成し、画素電極と少なくとも前記容量素子上に積層した光電変換層とを有する光電変換装置において、少なくとも前記画素電極と前記信号配線との間に、導電体層を備えている。



【特許請求の範囲】

【請求項1】 基板上に、少なくとも能動素子と、容量素子と、前記容量素子に蓄積されている電荷を出力する信号線と、を配して画素を形成し、画素電極と少なくとも前記容量素子上に積層した光電変換層とを有する光電変換装置において、

少なくとも前記画素電極と前記信号線との間に、導電体層を備えていることを特徴とする光電変換装置。

【請求項2】 前記導電体層は、第1の層間絶縁層と第2の層間絶縁層との間に形成していることを特徴とする請求項1の光電変換装置。

【請求項3】 前記導電体層を固定電位とすることを特徴とする請求項1又は2に記載の光電変換装置。

【請求項4】 前記導電体層と前記容量素子とを接続することにより、前記容量素子の下電極を前記固定電位とすることを特徴とする請求項3の光電変換装置。

【請求項5】 前記能動素子と前記容量素子は、非晶質シリコン層を有することを特徴とする請求項1〜4のうちのいずれか1項に記載の光電変換装置。

【請求項6】 前記能動素子と前記容量素子は、単結晶シリコン上に配されていることを特徴とする請求項1から5のうちのいずれか1項に記載の光電変換装置。

【請求項7】 前記光電変換層は、暗導電率が低く光導電性の高い材料からなることを特徴とする請求項1〜6のうちのいずれか1項に記載の光電変換装置。

【請求項8】 前記材料は、非晶質シリコン $a-Si$ 、非晶質セレン $a-Se$ 、酸化鉛 PbO 、ヨウ化鉛 PbI_2 、硫化カドミウム CdS 、カドミウムテルル $CdTe$ 、e、カドミウムセレン $CdSe$ 、ヨウ化水銀 HgI_2 のいずれかであることを特徴とする請求項7に記載の光電変換装置。

【請求項9】 前記導電体層は、金属からなることを特徴とする請求項1〜6のうちのいずれか1項に記載の光電変換装置。

【請求項10】 前記導電体層は、 hafnium、タンタル、タングステン、金、なまり、ビスマス、原子番号が72以上のX線吸収率の大きい金属あるいは少なくともこれらを含む合金からなることを特徴とする請求項1〜6のうちのいずれか1項に記載の光電変換装置。

【請求項11】 前記導電体層の表面に金銀酸化膜を形成することによって前記第2の層間絶縁層とすることを特徴とする請求項9に記載の光電変換装置。

【請求項12】 前記導電体層の表面を陽極酸化することによって前記第2の層間絶縁膜層を形成することを特徴とする請求項9に記載の光電変換装置。

【請求項13】 前記能動素子と前記容量素子とは、同じ材料を用いて、連続した同一の半導体層、絶縁層からなることを特徴とする請求項1〜9のうちのいずれか1項に記載の光電変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、光電変換装置に関し、特に、X線等の放射線画像を読み取るための高性能大面積の光電変換装置に関する。

【0002】

【従来の技術】従来、光電変換装置は、コンピュータなどに接続するスキャナ等に用いられていた。ことに最近では新たな応用として、大面積2次元化した光電変換装置がデジタルX線検出用に提案されている。2次元の光電変換装置としては、センサ、薄膜トランジスタ等を基板上に2次元に配置したものが考案されている。X線を直接センサ部で検出する光電変換装置として、従来以下のようなものが提案されている。

【0003】図4(a)は、従来の光電変換装置の1画素分の平面図である。図4(b)は図4(a)のA-Bの断面及び光電変換画素と光電変換層Sをバイアス電源Eを介して接続した図である。

【0004】図4(a)において、Tは能動素子としての薄膜トランジスタである。これは、各画素からの信号を読み出すために水素化非晶質シリコン半導体層を用いて構成されている。能動素子とは、スイッチング素子や増幅素子を意味する。ここでは、スイッチング素子として薄膜トランジスタを用いた最も簡単な構造を示す。また、Cは電荷蓄積用のコンデンサである。Pは画素電極である。Rはコンタクトホールである。Sは信号線である。gは駆動薄膜トランジスタのゲート配線である。

【0005】図4(b)において、光電変換層Sは、画素領域の全てを覆うように形成している。また、バイアス電圧Eによって、数100Vの電圧を印加する。図示しないX線出力装置から出力されるX線を直接電荷キャリアに変換するためである。Qはガラス基板である。ガラス基板Q上には、薄膜トランジスタTと電荷蓄積用のコンデンサCとが構成されている。

【0006】また、画素電極Pは、光電変換層Sからの電荷を画素ごとに集める。画素電極Pは、画素の開口率をあげるためにコンデンサCの上電極409に積層する形で形成されている。画素電極PとコンデンサCとは、コンタクトホールRを介して接続されている。Eは光電変換層Sにバイアスを与える電源を示している。

【0007】X線が光電変換層Sに入射すると、X線により光電変換層S中に電荷キャリアが発生する。共通電極411に接続されたバイアス電源Eを駆動することによって、光電変換層S中に電圧が生じる。これによって発生した電荷は画素電極Pに至る。そのため、各画素電極Pに接続されたコンデンサCに、X線の量に応じた電荷が充電される。その後、各画素に設置されている薄膜トランジスタTをONすることによって、コンデンサCに蓄積されている画像情報、すなわち電荷を外部回路に転送して、外部回路では、画像情報を読み出す。

【0008】従来の光電変換装置に備える画素は、まず薄膜トランジスタTとコンデンサCとを作製する。そして、それらの上に光電変換層Sを積層して作製する。

【0009】図5は、このように作成した画素を、 3×3 に配列した光電変換装置を示す模式図である。 3×3 に配列した画素には、垂直シフトレジスタ(SR1)と水平シフトレジスタ(SR2)とが備えられており、水平シフトレジスタと信号線Sig1～Sig3との間には、読み出した電荷を増幅するアンプが備えられている。

【0010】垂直シフトレジスタから出力される指示信号は、ゲート配線g1～g3を介してトランジスタT1～T3に入力される。トランジスタT1～T3は、指示信号が入力されると、コンデンサC1～C3に蓄積されている電荷を信号線Sig1～Sig3に出力する。水平シフトレジスタは、信号線Sig1～Sig3に読み取り信号を出力する。画像信号である電荷は、読み取り信号に従って、信号線Sig1～Sig3を介してアンプ(Amp)で増幅される。そして、水平シフトレジスタを介して図示しない外部回路へ出力される。

【0011】

【発明が解決しようとする課題】上述したように、従来の光電変換装置に備える画素は、その開口率を向上させるために、画素電極とコンデンサの上電極に積層する形で形成していた。ところが、画素の開口率を向上させるために、画素電極を広くするほど、画素電極と信号線やゲート配線との重なり容量が大きくなる。重なり容量は寄生容量となるため、読み出し信号にノイズが発生したり、トランジスタの駆動が不安定になるなどの問題がある。そこで、寄生容量を小さくするために、層間絶縁層を厚くするという手法がなされていた。

【0012】また、光電変換層で吸収しきれなかったX線が能動素子に照射されると、能動素子の劣化やノイズが発生する場合があった。例えばトランジスタではスレッショルド電圧がX線照射によりシフトして動作点がずれてしまうという不具合を起こす。また、トランジスタやアンプなどにX線が入射すると、ここで電子・ホール対が生成され、これがノイズの発生原因となることもある。これらは、能動素子を単結晶シリコンで作成すると顕著に現れる。

【0013】しかし、画素電極とコンデンサの上電極とは、厚い層間絶縁層を介して接続しなければならない。そのため、層間絶縁層をエッチングする工程や、金属膜を成膜させる工程が適切に行えず、画素に不良が発生する場合があった。これは、光電変換装置の不歩留まりを低下させ、コストアップの要因になっていた。

【0014】そこで、本発明は、層間絶縁層を厚くすることなく、読み出し信号のノイズの発生を防止するとともに、トランジスタを安定して駆動させることを目的と

する。

【0015】

【課題を解決するための手段】上記課題を解決するために、この発明は、基板の上に、少なくとも能動素子と、容量素子と、前記容量素子に蓄積されている電荷を出力する信号線と、を配して画素を形成し、画素電極と少なくとも前記容量素子上に積層した光電変換層とを有する光電変換装置において、少なくとも前記画素電極と前記信号線との間に、導電体層を備えている。

【0016】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態について説明する。

【0017】【実施形態1】この実施形態では、積層型センサと薄膜トランジスタとを組み合わせた画素を2次元に配列して構成する光電変換装置及びこれの製造方法を示す。

【0018】図1(a)は、この実施形態の光電変換装置の1画素分の平面図である。図1(b)は、図1(a)のA-Bの断面及び光電変換画素と光電変換層Sをバイアス電源Eを介して接続した状態を示す図である。

【0019】図1(a)において、Tは各画素からの電荷信号を読み出すための薄膜トランジスタである。トランジスタTのゲート絶縁層には、水素化非晶窒化シリコン層を用いている。半導体層には、水素化非晶窒化シリコン層を用いている。ソース電極及びドレイン電極のオーミック層には、N型水素化非晶窒化シリコン層を用いている。

【0020】また、Cは電荷蓄積用のコンデンサである。コンデンサCは、薄膜トランジスタTと同じ材料を用いて、同様の層構成で作成している。薄膜トランジスタTからコンデンサCまで、連続した層から構成されている。また、R1、R2はコンタクトホールである。Sigは信号線である。gは駆動薄膜トランジスタTのゲート配線である。GNDはコンデンサCの下電極配線である。

【0021】図1(b)において、Qはガラス基板である。ガラス基板Qの上には、コンデンサCと薄膜トランジスタTとを形成している。101はゲート電極、102はコンデンサ下電極、103はゲート絶縁膜、104は半導体層、105はN型層、106はドレイン電極、107は第1の層間絶縁膜、108は導電体層である金属層、109は第2の層間絶縁膜、110は酸化アルミ層、111はドレイン電極、かつ、コンデンサCの上電極である。

【0022】この実施形態では、金属層108を、画素全面に積層した第1の層間絶縁膜107上に形成している。また、金属層108は、コンデンサCの下層電極配線上に存在する第1の層間絶縁膜107に作成したコンタクトホールR2を介して、コンデンサCの下電極配線

GNDと接続している。下電極配線GNDは、画素の外部に接地されグラウンド電位となる。なお、この実施形態では、グラウンド電位としているが、固定電位であればこれに限定されない。

【0023】また、Pは光電変換層Sから出力される電荷を画素ごとに集める画素電極である。画素電極Pは、トランジスタTの上部を除き、第1の層間絶縁層107及び第2の層間絶縁層109を介して、コンタクトホールR1を介してコンデンサCの上電極111と接続している。金属層108は、可能な限り広い面積を確保するために、ここでは、コンタクトホールR1の部分を除いて画素領域全面に形成されている。また、画素電極と信号線との間に形成している。

【0024】さらに、Sは光電変換層である。光電変換層Sは、画素領域の全てを覆うように形成されている。また、バイアス電源Eによって、電圧が印加される。図示しないX線出力装置から出力されるX線を直接電荷キャリアに変換するためである。なお、この明細書では、X線を光に含めるものとす。光電変換層Sの材料には、非晶質シリコンa-Si、非晶質セレンa-Se、酸化鉛PbO、ヨウ化鉛PbI₂、硫化カドミウムCdS、カドミウムテルルCdTe、カドミウムセレンCdSe、ヨウ化水銀HgI₂、カドミウムジニクテルCdZnTeを用いている。これらは、暗電率が低く、光導電性の高い材料である。

【0025】また、有機材料として、光導電性を有する有機ポリマや有機半導体、またこれらの材料とX線吸収材料である無機材料とを組み合わせた複合材料を利用することもできる。113は光電変換層Sにバイアスを与える共通電極を示す。共通電極113は、光電変換層Sの全面に形成している。Eはバイアス電源であり、光電変換層Sにたとえば500Vの電圧を印加する。また、画素電極Pの表面に、キャリアブロッキング層110を形成する。

【0026】光電変換装置にX線が入射すると、X線により光電変換層Sには、電荷キャリアが発生する。共通電極113に接続されたバイアス電源Eによって、光電変換層Sには電界が生じる。これによって発生した電荷は画素電極に至る。そのため、各画素電極に接続されたコンデンサCに、X線の量に応じた電荷が充電される。

【0027】このような光電変換装置の画素を以下の製造工程により作製する。

【0028】まず、洗浄ガラス基板Q上に、スパッタ法により図示しないクロムを500Å成膜する。このクロム上にフォトレジストのパターンを形成して、これをマスクにしてクロムエッチングを行う。その後、フォトレジストを剥離洗浄した後に、各画素の薄膜トランジスタTのゲート電極101、ゲート配線g、コンデンサCの下電極102を形成する。

【0029】つぎに、これらの上に、SiH₄ガス、N

H₃ガス、H₂ガスを使って、プラズマCVD法により、水素化非晶質窒化シリコン層103を3000Åの厚さで形成する。ひきつづき、SiH₄ガス、H₂ガスを使い、プラズマCVD法により水素化非晶質シリコン層104を3000Åの厚さで形成する。さらに、SiH₄ガス、PH₃ガス、H₂ガスを使って、プラズマCVD法によりN⁺型水素化微結晶シリコン層105を2000Åの厚さで形成する。その上に、スパッタ法によりアルミ層を1μm成膜する。

【0030】その後、所望の形状のフォトレジストのパターンをアルミ層上に形成し、薄膜トランジスタTのソース電極106、ドレイン電極111、信号線Si₁gを形成する。なお、後述するようにドレイン電極111は、コンデンサCの上電極と同一の材料で連続して層を形成している。すなわち、ドレイン電極111は、コンデンサCの上電極でもある。

【0031】さらに、これらをマスクにして、薄膜トランジスタTのチャネル部のN⁺型水素化微結晶シリコン層のエッチングを行い、フォトレジストの剥離洗浄後チャネルを形成する。

【0032】つづいて、ホトリソ工程により、アイソレーションのフォトレジストパターンを作成する。これをマスクにドライエッチングにより水素化非晶質窒化シリコン層、水素化非晶質シリコン層、N⁺型水素化微結晶シリコン層の一部を除去して、画素領域の素子のアイソレーションを行う。

【0033】つぎに、SiH₄ガス、NH₃ガス、H₂ガスを使ってプラズマCVD法により、第1の層間絶縁層107として、水素化非晶質窒化シリコン層を500Å形成する。所望の形状のフォトレジストのパターンを、第1の層間絶縁層107上に形成し、これをマスクにドライエッチングにより、水素化非晶質窒化シリコン層の一部を除去して、コンデンサCの下電極配線GNDと金属層108とを接続するためのコンタクトホールR2を形成する。

【0034】その上に、スパッタ法により金属層108としてアルミ層を3000Å成膜する。このとき、金属層108の一部とコンデンサCの下電極配線GNDとを、コンタクトホールR2を通じて接続する。所望の形状のフォトレジストのパターンを金属層108上に形成し、これをマスクにドライエッチングにより金属層108の一部を除去し、画素電極PとコンデンサCの上電極111とを接続するためのコンタクトホールRaを形成する。金属層108は、画素電極と信号線との間にあるため、電気シールドの機能を備えている。その効果を大きくするため金属層108は、コンタクトホールR1の部分を除いて、画素領域全体に残すことが好ましい。

【0035】つぎに、この上から、SiH₄ガス、NH₃ガス、H₂ガスを使ってプラズマCVD法により、第2の層間絶縁層109として、水素化非晶質窒化シリコン

層を 5000\AA 形成する。所望の形状のフォトレジストのパターンを、第2の層間絶縁層109上に形成し、これをマスクにドライエッチングにより第1、第2の層間絶縁層107、109である水素化非晶質窒化シリコン層の一部を除去し、画素電極PとコンデンサCの上電極111とを接続するコンタクトホールRbを形成する。

【0036】このとき、金属層108のコンタクトホールRaは、第1、第2の層間絶縁層107、109のコンタクトホールRbより大きめに作成する。このようにして、コンタクトホールRaとRbとからコンタクトホールR1を完成させ、金属膜108を第1の層間絶縁層107と第2の層間絶縁層109との間に形成される。したがって、この後に形成する画素電極Pと接続することはない。

【0037】その上にスパッタ法により、アルミ層を $1\mu\text{m}$ 成膜する。このとき、アルミ層の一部とコンデンサCの上電極配線とを接続する。これは、画素電極Pとなる。光電変換層Sで発生するリーク電流の主な原因は、画素電極Pから出力されるキャリアが注入されるためである。そこで、キャリアの注入を防止するために、画素電極P上にホールブロッキング層として、酸化アルミ層110を 2000\AA 形成する。この実施形態では、スパッタ法により作成したアルミ層の表面を、陽極酸化することで行なう。

【0038】その後、こうして形成されたアルミ層上に所望の形状にフォトレジストのパターンを形成し、これをマスクにしてアルミ層をエッチングする。引き続き酸化アルミ層110をエッチングして、画素電極Pを形成する。そして、光電変換層Sとしてa-Seを蒸着により $500\mu\text{m}$ 積層する。光電変換層Sの上側に画素電極P上に電荷キャリアのブロッキング層112として酸化シリコンを $1\mu\text{m}$ 積層する。この上にスパッタ法によりアルミ層を $1\mu\text{m}$ 成膜し、共通電極113とした。最後に、図示しない保護層を形成する。

【0039】この実施形態によると、金属層108は、コンデンサCの下電極配線GND上に存在する第1の層間絶縁層107に作成したコンタクトホールR2を介して、コンデンサCの下電極配線GNDと接続している。そのため、金属層108はグラウンド電位となる。その結果として、金属層108はコンタクトホールR1の部分以外で、信号線、ゲート配線を覆っているので、信号線Si_gやゲート配線gは、電気的には画素電極Pから絶縁することができる。そのため、画素電極Pと信号線Si_g及びゲート配線gとの間に寄生容量が発生しない。

【0040】また、第1の層間絶縁層107及び第2の層間絶縁層108は、それぞれ $1\mu\text{m}$ 以下で通常の薄膜工程で形成することができる。これにより、開口率90%程度に設定して画素電極を形成しても、特性の劣化もなく、歩留まりを低下させることもない。この結果、高

品質、高性能の光電変換装置をコストアップせずに作成することができる。

【0041】図5は、上記のように作成した画素を、 3×3 に配列した光電変換装置を示す模式図である。 3×3 に配列した画素には、垂直シフトレジスタ(SR1)と水平シフトレジスタ(SR2)とが備えられており、水平シフトレジスタと信号線Si_gとの間には、読み出した電荷を増幅するアンプが備えられている。

【0042】垂直シフトレジスタから出力される指示信号は、ゲート配線g1～g3を介してトランジスタT1～T3～3に入力される。トランジスタT1～T3～3は、指示信号が入力されると、コンデンサC1～C3～3に蓄積されている電荷を信号線Si_g1～Si_g3に出力する。水平シフトレジスタは、信号線Si_g1～Si_g3に読み取り信号を出力する。画像信号である電荷は、読み取り信号に従って、信号線Si_g1～Si_g3を介してアンプ(Amp)で増幅される。そして、水平シフトレジスタを介して図示しない外部回路へ出力される。

【0043】また、この実施形態では、金属層108として、アルミニウムを用いた場合を例に説明したが、このほか、原子番号の大きい金属を用いることにより、X線によるスイッチング素子や増幅素子などの能動素子へのダメージを防ぐことができる。特に、原子番号が72以上のハフニウムHf、タンタルTa、タングステンW、金Au、つまりPb、ビスマスBiは、安全な金属で、かつX線の吸収率が大きい物であり、少なくともこれらを含む合金を、金属層108の原料として用いることができる。

【0044】これらの金属を金属層108に用い、能動素子を覆うように配することで、画素電極と配線との電気シールド機能に加え、X線シールドの機能を備えることができる。これにより、能動素子がダメージを受けないようにすることができ、信頼性や寿命が延びる。また、X線ノイズも減少して、画質が向上する。

【0045】【実施形態2】この実施形態では、第2の層間絶縁層を金属層を陽極酸化で作成する光電変換装置の光電変換画素及びこれの製造方法を示す。さらに、この実施形態では、製造工程の簡略化を図り、高性能、高品質を保ちながら製造コストを低減する光電変換装置の光電変換画素及びこれの製造方法を示す。

【0046】図2(a)は、この実施形態の光電変換装置の1画素分の平面図である。図2(b)は、図(a)のA-Bの断面及び光電変換画素と光電変換層Sをバイアス電源Eを介して接続した図である。なお、図2(a)、(b)は、実施形態と同一の部品には、同一の符号を付している。

【0047】図2(b)において、光電変換層Sは、非晶質セレンa-Seを蒸着により画素領域の全てを覆うように形成している。ガラス基板Q上には、各画素から

出力される電荷信号を読み出す薄膜トランジスタTを形成している。ゲート絶縁層には、水素化非晶質窒化シリコン層を用いている。半導体層には、水素化非晶質シリコン層を用いている。ソース電極及びドレイン電極のオーミック層には、N⁺型水素化非晶質シリコン層を用いている。

【0048】さらに、コンデンサCは、薄膜トランジスタTと同じ材料を用いて、同様の層構成で形成している。薄膜トランジスタTからコンデンサCまで、連続した層から構成されている。

【0049】この実施形態によると、金属層108を、画素全面に積層した第1の層間絶縁層107上に形成している。そのため、金属層108は、コンデンサCの下電極配線GND上に存在する第1の層間絶縁層107中に作成したコンタクトホールR2を介して、コンデンサCの下電極配線GNDと接続される。下電極配線GNDは、光電変換装置の外部に接地され、グラウンド電位となる。なお、この実施形態では、グラウンド電位としているが、固定電位であればこれに限定されない。

【0050】実施形態1では、さらに、金属層の上に、第2の層間絶縁層109を成膜して形成しているが、この実施形態では、金属層108の表面を陽極酸化してから、この陽極酸化膜を、第2の層間絶縁層109とする。これにより、層間絶縁層109の成膜と、コンタクトホールを形成するために行うパターニングの回数を減らすことができる。

【0051】つまり、金属層108に、コンタクトホールR1を形成し、その後、金属層108を陽極酸化すること、金属層108の表面全面を陽極酸化膜とする。この後、金属層108のコンタクトホールR1のパターンをマスクに、第1の層間絶縁層107をエッチングすることで、第1の層間絶縁層107にコンタクトホールR1を完成する。これにより光電変換装置の画素を製造する工程簡略化を図る。そのため、光電変換装置の製造コストをダウンすることができる。コンタクトホールR1を通じて、この後に形成する画素電極PとコンデンサCの上電極111とを接続する。

【0052】このような光電変換装置を以下の製造工程により作製する。

【0053】まず、洗浄ガラス基板Q上に、スパッタ法により図示しないクロムを500Å成膜する。このクロム上にフォトリソの 패턴を形成して、これをマスクにしてクロムエッチングを行う。その後、フォトリソを剥離洗浄した後に、各画素の薄膜トランジスタTのゲート電極101、ゲート配線g、コンデンサCの下電極102を形成する。

【0054】つぎに、これらの上に、SiH₄ガス、N₂ガス、H₂ガスを使って、プラズマCVD法により、水素化非晶質窒化シリコン層103を3000Åの厚さで形成する。ひきつづき、SiH₄ガス、H₂ガスを使

い、プラズマCVD法により水素化非晶質シリコン層104を3000Åの厚さで形成する。さらに、SiH₄ガス、PH₃ガス、H₂ガスを使って、プラズマCVD法によりN⁺型水素化微結晶シリコン層105を2000Åの厚さで形成する。その上に、スパッタ法によりアルミ層を1μm成膜する。

【0055】その後、所望の形状のフォトリソのパターンをこのアルミ層上に形成し、薄膜トランジスタTのソース電極106、ドレイン電極111、信号線Si_gを形成する。なお、ドレイン電極111は、コンデンサの上電極も兼ねている。さらに、これをマスクに薄膜トランジスタTのチャネル層のN⁺型水素化微結晶シリコン層のエッチングを行い、フォトリソの剥離洗浄後チャネルを形成する。

【0056】つづいて、ホトリソ工程により、アイソレーションのフォトリソパターンを作成する。これをマスクにドライエッチングにより、水素化非晶質窒化シリコン層、水素化非晶質シリコン層、N⁺型水素化微結晶シリコン層の一部を除去して、画素領域の素子のアイソレーションを行う。

【0057】つぎに、SiH₄ガス、NH₃ガス、H₂ガスを使ってプラズマCVD法により、第1の層間絶縁層107として水素化非晶質窒化シリコン層を5000Å形成する。所望の形状のフォトリソのパターンを、第1の層間絶縁層107上に形成し、これをマスクにドライエッチングにより、水素化非晶質窒化シリコン層の一部を除去して、コンデンサCの下電極配線GNDを露出させ、これと金属層108とを接続するためのコンタクトホールR2を形成する。

【0058】その上に、スパッタ法により金属層108としてアルミ層を1μm成膜する。この時、金属層108の一部とコンデンサCの下電極配線GNDとをコンタクトホールR2を通じて接続する。所望の形状のフォトリソのパターンを金属層108上に形成し、これをマスクにドライエッチングにより、金属層108の一部を除去し、画素電極PとコンデンサCの上電極111とを接続するためのコンタクトホールR1を形成する。

【0059】この実施形態では、金属層108の表面を陽極酸化して陽極酸化膜とする。なお、実施形態1と同様に、Taなどの金属又はこれらのすくなくとも1つを含む合金などの陽極酸化できる金属等を用いることができる。これを第2の層間絶縁層109としている。この陽極酸化膜をマスクとして、ドライエッチング等により、第1の層間絶縁層107をエッチングして、コンタクトホールR1を完成する。

【0060】この上に、実施形態1と同様に、スパッタ法により画素電極用としてアルミ層を1μm成膜する。この時、アルミ層の一部とコンデンサCの上電極配線とを接続する。このアルミ層の表面を陽極酸化することで酸化アルミ層を2000Åの厚さで形成している。

【0061】その後、酸化アルミ層110上に所望の形状にフォトレジストのパターンを形成し、これをマスクにして酸化アルミ層110をエッチングする。ひき続き酸化アルミ膜110をエッチングして、画素電極Pを形成する。そして、光電変換層Sとしてa-Seを蒸着により $0.04\mu\text{m}$ 積層する。実施形態1と同様にブロッキング層212として酸化シリコンを $1\mu\text{m}$ 積層する。

【0062】実施形態1では、金属層108の上に、第2の層間絶縁層109を成膜工程により形成している。しかし、この実施形態では、金属層108の表面を陽極酸化して、これにより形成した陽極酸化膜を第2の層間絶縁層109としている。コンタクトホールR1を開けた金属層108の表面全面を陽極酸化した後、金属層108のコンタクトホールR1のパターンをマスクに、第1の層間絶縁層107をエッチングすることで、第1の層間絶縁層107にコンタクトホールR1を完成する。これによりコンタクトホールパターンニングの回数を一回減らすことができる。

【0063】また、この実施形態により、金属層108は、コンタクトホールR1の部分以外で、信号線、ゲート配線を経て、電気シールドとして作用させて、画素電極Pと信号線S1及びゲート配線gとの間の寄生容量を除去している。これにより、画素の開口率90%程度に設定して画素電極を形成しても、寄生容量による特性の劣化もなく、また金属層108の表面を陽極酸化することで絶縁膜を形成することにより、製造工程は簡略化され、層間絶縁層は $1\mu\text{m}$ 以下とすることができる。したがって光電変換装置の歩留まりを低下させない。その結果、高品質、高性能を実現しつつ、コストダウンした光電変換装置を提供することができる。

【0064】【実施形態3】この実施形態では、工程の簡略化を図り、高性能、高品質を保ちながら製造コストの低減を実現する光電変換装置の光電変換画素及びこれの製造方法を示す。

【0065】図3(a)は、この実施形態の光電変換装置の1画素分の平面図を示す。図3(b)は図(a)のA-Bの断面及び光電変換画素と光電変換層Sをバイアス電源Eを介して接続した図である。なお、図3(a)、(b)において、実施形態1と同様の部材には、同一の符号を付している。

【0066】図3(b)において、光電変換層Sは、非晶質セレンa-Seを蒸着により画素領域の全てを覆うように形成している。ガラス基板Q上には、各画素から出力される電荷信号を読み出す薄膜トランジスタTを形成している。ゲート絶縁層には、水素化非晶質窒化シリコン層を用いている。半導体層には、水素化非晶質シリコン層を用いているソース及びドレイン電極のオミック層には、N⁺型水素化非晶質シリコン層を用いている。

【0067】さらに、コンデンサCは、薄膜トランジスタ

Tと同じ材料で同様の層構成によって形成している。薄膜トランジスタTからコンデンサCまで、連続した層から構成している。これにより、薄膜トランジスタTとコンデンサCとの間の段差を少なくすることができ、この後に積層する第2の層間絶縁層109や金属層108が、この段差部で段差切れを起こさなくなる。

【0068】この実施形態によると、金属層108を、画素全面に積層した第1の層間絶縁層107上に形成している。そのため、金属層108は、第1の層間絶縁膜107上に作成したコンタクトホールR2を介して、コンデンサCの下電極102と接続している。

【0069】この実施形態では、コンデンサCの下電極配線(GND)を設けていない。つまり、金属層108を光電変換装置の外部でグラウンド電位に落とすことで、各画素のコンデンサCの下電極102をグラウンド電位とすることができる。その結果、コンデンサCの下電極102をグラウンド電位とするための下電極配線を設けなくてもよくなる。したがって、下電極配線が配線を設けなくとも防止することができる。なお、この実施形態では、グラウンド電位としているが、固定電位であればこれに限定されない。

【0070】この実施形態では、実施形態2と同様に、金属層108の表面を陽極酸化し、第2の層間絶縁層109を形成している。金属層108はコンタクトホールR1の部分以外で信号線、ゲート配線を経て電気シールドとして作用するので、画素電極Pと信号線S1、ゲート配線gとの間の寄生容量を除去することができる。

【0071】これにより、画素の開口率を90%程度に設定して画素電極Pを形成しても、寄生容量による特性の劣化もなく、また製造工程は、実施形態2に比してさらに簡略化され、第2の層間絶縁層109は、 $1\mu\text{m}$ 以下で形成することができる。したがって、光電変換装置の歩留まりを低下させない。その結果、高品質、高性能を実現しつつコストダウンした光電変換装置を提供することができる。

【0072】なお、この実施形態では、実施形態2で説明した製造工程によって画素を製造する場合の説明をしたが、画素の製造工程は、実施形態1で説明した製造工程によって製造してもよい。

【0073】

【発明の効果】この発明は、画素電極は、能動素子の上部では、第1の層間絶縁層及び第2の層間絶縁層を介して、容量素子の上部極と接続している。このため、画素電極と信号線及びゲート配線との間の寄生容量を除去することができる。

【0074】この発明によると、導電体層が第1の絶縁層と第2の絶縁層との間に形成する。そのため、導電体層が、その後に形成する画素電極と接続することがなくなる。

【0075】さらに、この発明によると、容量素子は、能動素子と同じ材料を用いて、同様の層構成で形成している。また、能動素子から容量素子まで連続した層から構成している。そのため、能動素子と容量素子との間の段差を少なくすることができる。したがって、この後の工程で、能動素子と容量素子との上に層間絶縁層や導電体層を積層しても、この段差部で段差切れが生じない。

【0076】また、この発明によると、導電体層を陽極酸化することで、導電体層の表面を陽極酸化膜とする。この陽極酸化膜は、第2の層間絶縁層と同様の機能を有する。そのため、光電変換装置の画素を製造する工程簡略化が図れる。したがって、光電変換装置の製造コストをダウンすることができる。

【0077】また、画素電極Pは、第2の層間絶縁層である陽極酸化膜を介して容量素子の上面と接続している。画素電極と信号線、ゲート配線との間の寄生容量を除去することができる。したがって、画素の開口率を90%程度に設定して画素電極を形成しても、寄生容量によって画素の特性が劣化することもない。また、画素の製造工程は簡略化され、層間絶縁層は1 μ m以下で形成することができる。

【図面の簡単な説明】

【図1】実施形態1の光電変換装置の光電変換画素を示す図である。

【図2】実施形態2の光電変換装置の光電変換画素を示す図である。

【図3】実施形態3の光電変換装置の光電変換画素を示す図である。

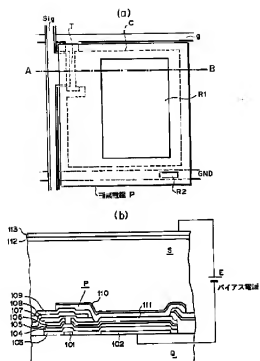
【図4】従来技術の光電変換装置の光電変換画素を示す図である。

【図5】光電変換画素を二次配列した等価回路の回路図である。

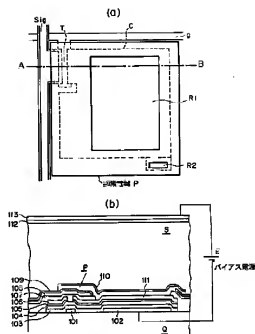
【符号の説明】

- P 画素電極
- Q ガラス基板
- T 薄膜トランジスタ
- C コンデンサ
- R1、R2 コンタクトホール
- Sig 信号線
- GND コンデンサ下電極配線
- g ゲート配線
- SR1 垂直シフトレジスタ
- SR2 水平シフトレジスタ
- S 光電変換層
- E バイアス電極
- 101、401 ゲート電極
- 102、402 コンデンサ下電極
- 103、403 ゲート絶縁層
- 104、404 半導体層
- 105、405 N⁺型層
- 106、406 ドレイン電極
- 107 第1の層間絶縁層
- 108 金属層
- 109 第2の層間絶縁層
- 110 酸化アルミ層
- 111、409 ソース電極、コンデンサ上電極
- 407 層間絶縁層
- 112、410 キャリアブロッキング層
- 113、411 共通電極

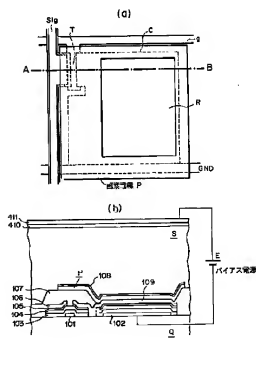
【図1】



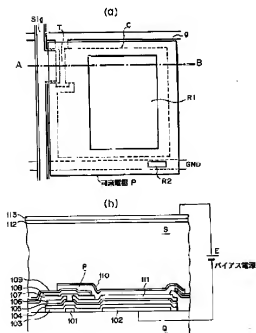
【図2】



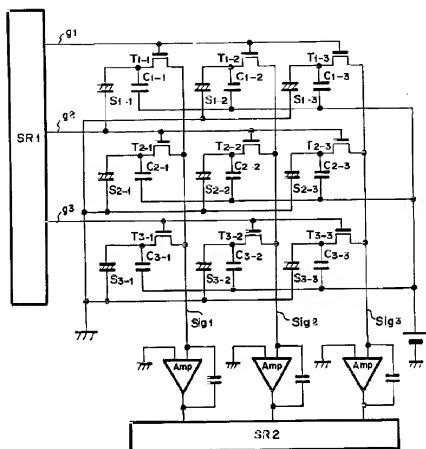
【図4】



【図3】



【図5】



フロントページの続き

(51)Int. Cl.⁷

H04N 5/335

識別記号

FI

H01L 31/00

(参考)

A

Fターム(参考) 4M118 A405 A408 AB01 BA05 CA14
CB06 CB08 CB20 FB03 FB09
FB13 FB16 FB19 FB23 FB26
GA10 HA26
5C024 AX11 CX03 GX05 GX18 GY31
5F088 AB05 AB09 BA03 BB03 DA05
DA17 EA04 EA06 HA20 LA07
5F110 AA02 AA16 BB10 CC07 DD02
EE04 EE44 FF03 FF07 FF30
GG02 GG15 GG24 GG33 GG45
HK03 HK09 HK15 HK16 HK21
HK25 HK26 HK33 HK35 NN03
NN04 NN24 NN35 NN71 NN72
NN80